

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Kazuhiko ASAKAWA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: February 2, 2004 : Attorney Docket No. OKI.620
For: METHOD OF DETERMINING REMAINING FILM THICKNESS IN POLISHING
PROCESS

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2003-352474 filed October 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 2, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 1 0 日
Date of Application:

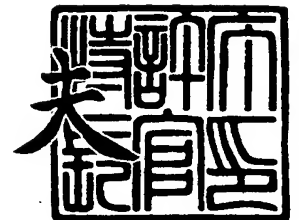
出 願 番 号 特 願 2 0 0 3 - 3 5 2 4 7 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 5 2 4 7 4]

出 願 人 沖電気工業株式会社
Applicant(s): 宮城沖電気株式会社

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 OH003874
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/3205
【発明者】
 【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内
 【氏名】 浅川 和彦
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 591048162
 【氏名又は名称】 宮城沖電気株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板上に所定の被覆膜を形成する第 1 ステップと、
ライン幅およびスペース幅の少なくとも一方が相互に異なる複数のライン／スペースパターン・ブロックを有するレジストパターンを、前記被覆膜上に形成する第 2 ステップと、
前記レジストパターンをマスクとして、前記被覆膜および前記半導体基板の表面をエッチングすることにより、トレンチを形成する第 3 ステップと、
前記レジストパターンを除去した後で、前記トレンチ内を充填するとともに前記被覆膜の表面を覆う埋込絶縁膜を形成する第 4 ステップと、
前記被覆膜の表面が露出するように前記埋込絶縁膜の表面を研磨する第 5 ステップと、
複数の測定点における、前記第 5 ステップ後の前記被覆膜の残存膜厚を測定する第 6 ステップと、
を含む測定プロセスと、
所定の形状および面積を有する参照領域を、前記測定点が中心となるように、前記半導体基板の表面に概念的に規定する第 7 ステップと、
前記参照領域の面積と、該参照領域内における前記ラインの総面積との比を演算する第 8 ステップと、
前記第 6 ステップの測定結果と前記第 8 ステップの演算結果との関係を求める第 9 ステップと、
実際に作成する半導体装置の任意点における前記被覆膜の予想残存膜厚を、前記第 9 ステップで求めた関係に基づいて判定する第 10 ステップと、
を含む演算プロセスと、
を備えることを特徴とする研磨工程の残存膜厚判定方法。

【請求項 2】

前記被覆膜が、前記半導体基板上に形成された保護酸化膜と該保護酸化膜上に形成された窒化シリコン膜とを有する積層膜であることを特徴とする請求項 1 に記載の研磨工程の残存膜厚判定方法。

【請求項 3】

前記研磨工程が化学機械研磨工程であることを特徴とする請求項 1 または 2 に記載の研磨工程の残存膜厚判定方法。

【請求項 4】

前記参照領域が、複数の前記ライン／スペースパターン・ブロックをまたぐように規定されたことを特徴とする請求項 1 ～ 3 のいずれかに記載の研磨工程の残存膜厚判定方法。

【請求項 5】

前記第 4 ステップで形成された前記埋込絶縁膜の凸パターン幅と近似するように前記ライン幅を補正した後で前記ラインの総面積を算出し、この算出結果を用いて前記第 8 ステップの演算を行うことを特徴とする請求項 1 ～ 4 のいずれかに記載の研磨工程の残存膜厚判定方法。

【請求項 6】

半導体基板上に被覆膜を形成する第 1 工程と、
前記被覆膜上にレジストパターンを形成する第 2 工程と、
前記レジストパターンをマスクとして、前記被覆膜および前記半導体基板の表面をエッチングすることにより、トレンチを形成する第 3 工程と、
前記レジストパターンを除去した後で、前記トレンチ内を充填するとともに前記被覆膜の表面を覆う埋込絶縁膜を形成する第 4 工程と、
所定の判定方法を用いて、前記被覆膜の、研磨工程後の予想残存膜厚を判定する第 5 工程と、
該第 5 工程で前記被覆膜の残存膜厚が所定膜厚よりも小さくなると判定された特定領域に、研磨抑制膜を形成する第 6 工程と、

前記被覆膜の表面が露出するように前記埋込絶縁膜および前記研磨抑制膜を研磨する第 7 工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 7】

前記研磨抑制膜が、所定間隔で配置された所定寸法の研磨抑制膜パターンであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記残存膜厚の判定結果が小さい前記特定領域ほど前記研磨抑制膜の面積占有率が高くなるように、該特定領域毎に前記研磨抑制膜パターンの配置間隔または寸法が設定されたことを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】

前記被覆膜が、前記半導体基板上に形成された保護酸化膜と該保護酸化膜上に形成された窒化シリコン膜とを有する積層膜であることを特徴とする請求項 6 ～ 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

前記研磨工程が、化学機械研磨工程であることを特徴とする請求項 6 ～ 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記研磨工程残存膜厚が、請求項 1 ～ 5 のいずれかに記載の研磨工程の残存膜厚判定方法によって判定されることを特徴とする請求項 6 ～ 10 のいずれかに記載の半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 研磨工程の残存膜厚判定方法および半導体装置の製造方法

【技術分野】

【0001】

本発明は、CMP (Chemical Mechanical Polishing; 化学機械研磨) 法を用いて、半導体装置の素子分離を行う技術に関する。

【背景技術】

【0002】

半導体装置の素子分離技術としては、例えば、STI (Shallow Trench Isolation) 技術が知られている。STI 技術では、半導体基板の表面に形成された浅いトレンチによって、素子分離が行われる。

【0003】

以下、STI 技術を用いた素子分離工程の一例について、図8および図9を用いて説明する。

【0004】

(1) まず、シリコン基板801の表面に、膜厚15nm程度の保護酸化膜802を形成する。続いて、この保護酸化膜802の表面に、例えばLPCVD (Low Pressure Chemical Vapor Deposition) 法を用いて、窒化シリコン (SiN) 膜803を形成する。さらに、この窒化シリコン膜803の素子形成領域上に、通常のフォトリソグラフィ技術を用いて、レジストパターン804を形成する (図8 (A) 参照)。

【0005】

(2) レジストパターン804をマスクとして用いたドライエッチングを行い、窒化シリコン膜803、保護酸化膜802およびシリコン基板801を順次エッチングすることにより、トレンチ805を形成する。その後、レジストパターン804を除去する (図8 (B) 参照)。

【0006】

(3) トレンチ805の内壁面に、丸め酸化処理を施す。これにより、酸化膜806が形成される。この酸化膜806により、その後の工程で酸化膜807を形成するときの (後述)、内壁面に対するダメージの防止、結晶欠陥発生防止、汚染防止を図ることができる。さらに、この酸化膜806により、トレンチ805の上端部の角を丸めることができるので、この角の上に隙間なく酸化膜807を形成することができる。

【0007】

(4) 次に、例えばCVD (Chemical Vapor Deposition) 法により、酸化膜807を形成する。これにより、酸化膜807がトレンチ805内に充填されるとともに、この酸化膜807によって窒化シリコン膜803の表面が覆われる (図8 (C) 参照)。

【0008】

(5) 続いて、CMP 法を用いて、窒化シリコン膜803の表面が露出するまで、CVD酸化膜807を研磨する (図8 (D) 参照)。研磨剤としては、例えば、シリカスラリー (シリカ系材料からなる砥粒を含む研磨剤) を使用することができる。

【0009】

(6) その後、CVD酸化膜807の上面がシリコン基板801の表面近傍になるように、このCVD酸化膜807の表面をエッチングする (図9 (A) 参照)。

【0010】

(7) そして、熱りん酸溶液を用いて窒化シリコン膜803を除去し、さらに沸酸を用いて保護酸化膜802を除去する (図9 (B) 参照)。

【0011】

ここで、半導体装置の歩留まりや信頼性を向上させるためには、CMP 工程 (上記工程 (5) 参照) による研磨量を高精度に制御することが重要である。

【0012】

しかしながら、CMPの研磨量を高精度に制御することは、非常に困難であった。なぜ

なら、シリコン基板 801 上の或る領域における CMP の研磨速度は、被研磨領域における下地条件のみならず、当該被研磨領域の周辺領域における下地条件にも依存するからである。このため、従来は、CMP 工程後に、走査型電子顕微鏡 (SEM: Scanning Electron Microscope) を用いて、シリコン基板 801 の断面を解析していた。しかし、断面を SEM で解析する方法は、窒化シリコン膜 803 の残存膜厚を正確に知ることができるものの、シリコン基板 801 を破壊してしまうとともに、解析に多大な工程数および時間を必要とする。

【0013】

ここで、研磨剤として CeO (酸化セシウム、すなわちセリア) スラリーを使用することにより、研磨速度の下地依存性のある程度低減することも可能である。しかし、アクティブパターン密度 (素子形成領域の面積占有率) の極端に小さい領域が存在する場合には、却って窒化シリコン膜 803 の正確な残存膜厚制御が困難になる。セリアスラリーを使用する場合は、研磨速度が非常に速くなるからである。このため、アクティブパターン密度が極端に小さい領域では、窒化シリコン膜 803 が完全に消失してしまう可能性がある。このような理由から、セリアスラリーを使用する場合には、アクティブパターン密度が極端に小さい領域が存在しないように、半導体集積回路を設計すべきである。しかしながら、このような設計条件の追加は、設計の負担を増大させる。加えて、設計条件の適正化のみでは、CMP の研磨量を高精度に制御することが困難な場合もある。

【0014】

従来、CMP の研磨精度を向上させるための技術としては、例えば下記特許文献 1、2 に開示されたものが知られている。しかしながら、これらはいずれも配線パターン上に形成された膜を CMP で平坦化する際の研磨精度向上を目的とした技術であり、素子分離工程への適用は困難である。下記特許文献 1、2 では、配線パターン上に形成された膜の平滑度を向上させるために、ダミーパターンを形成している。したがって、これら特許文献 1、2 の技術を上述のような素子分離工程 (図 8、図 9 参照) に適用しようとする、ダミー・トレンチを形成することになる。しかしながら、ダミー・トレンチを形成することは、半導体装置の集積率の悪化や設計条件の複雑化を招き、現実的ではない。

【特許文献 1】特開 2002-140655 号公報

【特許文献 1】特開 2002-342399 号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明の課題は、素子形成領域とトレンチ領域との面積比や研磨剤の種類等に拘わらず、素子分離工程における CMP 研磨量を精度よく制御する技術を提供することにある。

【課題を解決するための手段】

【0016】

第 1 発明に係る研磨工程の残存膜厚判定方法は、半導体基板上に所定の被覆膜を形成する第 1 ステップと、ライン幅およびスペース幅の少なくとも一方が相互に異なる複数のライン/スペースパターン・ブロックを有するレジストパターンを被覆膜上に形成する第 2 ステップと、レジストパターンをマスクとして被覆膜および半導体基板の表面をエッチングすることによりトレンチを形成する第 3 ステップと、レジストパターンを除去した後でトレンチ内を充填するとともに被覆膜の表面を覆う埋込絶縁膜を形成する第 4 ステップと、被覆膜の表面が露出するように埋込絶縁膜の表面を研磨する第 5 ステップと、複数の測定点における第 5 ステップ後の被覆膜の残存膜厚を測定する第 6 ステップとを含む測定プロセスと、所定の形状および面積を有する参照領域を測定点が中心となるように半導体基板の表面に概念的に規定する第 7 ステップと、参照領域の面積と参照領域内におけるラインの総面積との比を演算する第 8 ステップと、第 6 ステップの測定結果と第 8 ステップの演算結果との関係を求める第 9 ステップと、実際に作成する半導体装置の任意点における被覆膜の予想残存膜厚を第 9 ステップで求めた関係に基づいて判定する第 10 ステップとを含む演算プロセスとを備える。

【0017】

第2の発明に係る半導体装置の製造方法は、半導体基板上に被覆膜を形成する第1工程と、被覆膜上にレジストパターンを形成する第2工程と、レジストパターンをマスクとして被覆膜および半導体基板の表面をエッチングすることによりトレンチを形成する第3工程と、レジストパターンを除去した後でトレンチ内を充填するとともに被覆膜の表面を覆う埋込絶縁膜を形成する第4工程と、所定の判定方法を用いて被覆膜の研磨工程後の予想残存膜厚を判定する第5工程と、該第5工程で被覆膜の残存膜厚が所定膜厚よりも小さくなると判定された特定領域に研磨抑制膜を形成する第6工程と、被覆膜の表面が露出するように埋込絶縁膜および研磨抑制膜を研磨する第7工程とを備える。

【発明の効果】**【0018】**

第1発明によれば、所定形状・所定面積の参照領域を規定し、この参照領域面積とラインの総面積との比を用いて、残存膜厚を判定することができる。したがって、測定パッドの配置位置（すなわち判定対象となる点）のみならず、その周辺領域の面積比をも加味して残存膜厚を判定するので、正確な判定が可能になる。

【0019】

第2発明によれば、研磨工程残存膜厚の判定結果が所定膜厚よりも小さい領域に研磨抑制膜を形成することとしたので、簡単な工程を追加するだけで、被覆膜の残存膜厚を高精度に制御することができる。

【発明を実施するための最良の形態】**【0020】**

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0021】**第1実施形態**

まず、第1発明に係る残存膜厚判定方法の一実施形態について、図1～4を用いて説明する。

【0022】

本実施形態に係る残存膜厚判定方法は、測定プロセスと演算プロセスとを備える。

【0023】

測定プロセスでは、トレンチと素子形成領域とによって構成されたTEG (Test Element Group) パターンを有する半導体基板を作製し、窒化シリコン膜（後述）の残存膜厚を測定する。図1は、このTEGパターン（ダイ1個分）を概念的に示す平面図である。

【0024】

図1に示したように、このTEGパターンは、多数個のブロック100、100、・・・に分割されている。図1の例では、ブロック数は56個である。これらのブロック100は、それぞれ、ライン／スペースの繰り返しパターンを有している。図1の例では、4種類の大きさのブロック100が設けられているが、2～3種類或いは5種類以上でもよい。これらのブロック100の大きさは、それぞれ任意である。また、同じ大きさのブロック100であっても、ライン／スペースパターンのライン幅やスペース幅は、基本的には一致しない（一部に同じものがあってもよい）。各ブロック100のライン幅およびスペース幅は任意であるが、演算プロセス（後述）で様々なアクティブパターン密度（素子形成領域の面積占有率）が得られるように、決定される。各ブロック100内には、測定点パターン101が設けられる。この測定点パターンは、窒化シリコン膜（後述）の残存膜厚の測定点を規定する際の測定位置になる。測定点パターン101の寸法は、例えば $80\mu\text{m} \times 80\mu\text{m}$ である。

【0025】

次に、このTEGパターンを作成するプロセス、すなわち本実施形態の測定プロセスについて、図2を用いて説明する。

【0026】

(1) まず、シリコン基板201の表面に、膜厚15nm程度の保護酸化膜202を形成し、さらに、この保護酸化膜202の表面に例えばLPCVD法を用いて、窒化シリコン膜203を形成する。これらの膜202、203は、本発明の「被覆膜」に相当する。続いて、この窒化シリコン膜203の表面に、通常のフォトリソグラフィ技術を用いて、レジストパターン204を形成する(図2(A)参照)。レジストパターン204は、上述のTEGパターン(図1参照)のライン部分および測定点パターン101に対応させて形成される。

【0027】

(2) 次に、レジストパターン204をマスクとして用いたドライエッチングを用い、窒化シリコン膜203、保護酸化膜202およびシリコン基板201を順次エッチングすることにより、トレンチ205を形成する。このエッチングにより、シリコン基板201のうちレジストパターン204で覆われている部分はTEGパターンのライン部分になり、覆われていない部分はスペース部分すなわちトレンチになる。また、これと同時に、測定点パターン101も形成される。その後、レジストパターン204を除去する(図2(B)参照)。

【0028】

(3) 丸め酸化処理により、トレンチ205の内壁面に酸化膜206を形成する。

【0029】

(4) 続いて、例えばCVD法により、酸化膜207を形成する。これにより、酸化膜207がトレンチ205内に充填されるとともに、この酸化膜207によって窒化シリコン膜203の表面が覆われる(図2(C)参照)。酸化膜207は、本発明の「埋込絶縁膜」に相当する。

【0030】

(5) 続いて、CMP法を用いて、窒化シリコン膜203の表面が露出するまで、CVD酸化膜207を研磨する(図2(D)参照)。研磨剤としては、例えば、セリアスラリーを使用することができる。

【0031】

(6) その後、既知の膜厚測定技術(例えば上述の断面SEM)を用いて、窒化シリコン膜203の残存膜厚を測定する。上述のように、この測定では、各測定点パターン101が測定点になる。

【0032】

以上の工程により、図1に示したようなTEGパターンが、素子形成領域のパターン(ラインパターンに相当)およびトレンチのパターン(スペースパターンに相当)として、形成される。

【0033】

次に、本実施形態の演算プロセスについて、図3を用いて説明する。

【0034】

(7) まず、図3に示したような、参照領域300を概念的に規定する。参照領域300の寸法は、例えば4mm×4mmである。参照領域300は、この参照領域300の中心点が各測定点パターン101と一致するように、概念的に配置される。図3の例では、参照領域300を、大部分のTEGパターン・ブロック100よりも大きくなるように規定している。これにより、様々な値のラインパターン面積占有率が得られる。以下、参照領域300の面積を、参照面積Aと称す。

【0035】

(8) 次に、参照領域300内の素子形成領域(ラインパターンの部分)について、サイジング(sizing)処理を行う。本実施形態の工程(4)で形成されるCVD酸化膜207の凹凸の幅は、TEGパターンの幅とは一致しない(図2(C)の Δx 参照)。例えば、ライン幅(素子形成領域の幅)が0.4 μ mの場合、他の条件にもよるが、CVD酸化膜207の凸部の幅は0.6 μ m程度になる場合がある。CMPの研磨速度は、実際には、

素子形成領域の幅ではなく、CVD酸化膜207の凸部の幅に依存する。したがって、サイジング処理によってライン幅を補正した方が、CMPの研磨速度を高精度に制御できる。

【0036】

(9) 続いて、参照領域300内の素子形成領域について、サイジング処理後の総面積Bを計算する。そして、参照面積Aと素子形成領域面積Bとの比 B/A を計算する。この計算結果 B/A が、参照領域300内におけるアクティブパターン密度（素子形成領域の面積占有率）である。以下、参照領域300内におけるアクティブパターン密度を、「ローカル・アクティブパターン密度」と記す。

【0037】

演算プロセス(7)～(9)は、各測定点パターン101毎に行われる。上述のように、参照領域300の大きさは大部分のブロック100よりも大きく、且つ、各ブロックのライン幅およびスペース幅はブロック100毎に異なる。したがって、ローカル・アクティブパターン密度も、測定点パターン101毎に異なる。

【0038】

(10) その後、実測工程で測定した各測定パッドの残存膜厚（上記工程(6)参照）と、アクティブパターン密度（上記工程(9)参照）との関係を求める。

【0039】

図4は、ローカル・アクティブパターン密度と残存膜厚との関係を示すグラフであり、横軸はローカル・アクティブパターン密度、縦軸は残存膜厚である。図4の例では、ローカル・アクティブパターン密度が10%以下の場合にはCVD酸化膜207の残存膜厚がローカル・アクティブパターン密度に大きく依存しており、その一方で、ローカル・アクティブパターン密度が10%以上の場合にはこの残存膜厚はローカル・アクティブパターン密度にあまり依存していない。図4のグラフを用いるにより、実際に製品として製造する半導体装置の、任意点におけるCVD酸化膜207の残存膜厚を、高い精度で判定（予想）することが可能になる。

【0040】

ここで、ローカル・アクティブパターン密度と残存膜厚との関係は、CMP前のトレンチ形状、窒化シリコン膜203の膜厚、CMP研磨量、CMP条件、研磨剤の種類など、他の条件によっても異なる。また、参照面積Aの大きさの最適な設定値も、製造条件やTEGパターンなどによって異なる。したがって、実際に製造する半導体装置の製造条件に合わせて最適条件を決定した上で、上記測定プロセスを行うことが望ましい。

【0041】

以上説明したように、本実施形態に係る研磨工程の残存膜厚判定方法によれば、TEGパターンを形成したシリコン基板201を用いて、ローカル・アクティブパターン密度と残存膜厚との関係を求めることができる。したがって、実際に製品として半導体装置を製造する際に、CVD酸化膜207の残存膜厚を測定しなくても、かかる残存膜厚を高い精度で判定することができる。

【0042】

本実施形態に係る研磨工程の残存膜厚判定方法を用いることにより、許容されるローカル・アクティブパターン密度の最小値を、設計段階に正確に知ることができる。したがって、設計作業の負担増大を抑えつつ、歩留まりや信頼性が高い半導体装置を設計することが容易になる。

【0043】

また、CVD酸化膜207の残存膜厚が許容残存膜厚よりも小さくなると判定された領域に対して、CMPの研磨を抑制する処理（第2、第3実施形態参照）を施すことにより、さらなる設計負担低減や歩留まり・信頼性向上を図ることができる。

【0044】

本実施形態ではローカル・アクティブパターン密度と残存膜厚との関係をグラフ化したのが、この関係を他の方法（例えば関係式など）で規定することとしてもよいことは、もち

ろんである。

【0045】

第2実施形態

次に、第2の発明に係る半導体装置の製造方法の一実施形態について、図5および図6を用いて説明する。

【0046】

図5は、本実施形態に係る製造プロセスを説明するための断面工程図である。

【0047】

(1) まず、従来技術(図8、図9参照)と同様にして、シリコン基板501の表面に、保護酸化膜502、窒化シリコン膜503を形成する。これらの膜502、503は、本発明の「被覆膜」に相当する。続いて、窒化シリコン膜503の表面に、レジストパターン504を形成した後、窒化シリコン膜503、保護酸化膜502およびシリコン基板501を順次エッチングする。これにより、トレンチ505が形成される(図5(A)参照)。

【0048】

(2) レジストパターン504を除去した後、トレンチ505の内壁面に酸化膜506を形成し、さらに、例えばCVD法により酸化膜507を形成する。これにより、酸化膜507がトレンチ505内に充填されるとともに、この酸化膜507によって窒化シリコン膜503の表面が覆われる(図5(B)参照)。酸化膜507は、本発明の「埋込絶縁膜」に相当する。

【0049】

(3) 続いて、酸化膜507上に、例えば20nm程度の膜厚を有する窒化シリコン膜を形成する。そして、既知のフォトリソグラフィ技術を用いて、窒化シリコン膜をパターンニングする。これにより、窒化シリコン膜パターン508が形成される(図5(C)参照)。この窒化シリコン膜パターン508は、研磨工程残存膜厚の判定結果(窒化シリコン膜503の予想残存膜厚)が所定膜厚よりも小さい領域にのみ、形成される。窒化シリコン膜パターン508は、本発明の「研磨抑制膜」に相当する。

【0050】

図6は、窒化シリコン膜パターン508を概念的に示す平面図である。図6の例では、窒化シリコン膜パターン508は、 $1\mu\text{m}\times 1\mu\text{m}$ の寸法を有し、 $0.5\mu\text{m}$ 間隔で配置されている。

【0051】

なお、研磨工程残存膜厚の判定方法は、特に限定されないが、本発明の判定方法(第1実施形態参照)を使用することができる。第1実施形態の判定方法を用いる場合には、ローカル・アクティブパターン密度が10%以下の領域にのみ、窒化シリコン膜パターン508を形成すればよい(図4参照)。

【0052】

(4) 続いて、CMP法を用いて、窒化シリコン膜503の表面が露出するまで、CVD酸化膜507を研磨する(図5(D)参照)。研磨剤としては、例えば、セリアスラリーを使用することが望ましい。この研磨により、上述の窒化シリコン膜パターン508も、除去される。本実施形態では、研磨工程残存膜厚の判定結果が小さい領域に窒化シリコン膜パターン508を設けたので、研磨後の残存膜厚を均一化することができる。

【0053】

(5) その後、従来技術と同様、CVD酸化膜507の表面をエッチングし、さらに、窒化シリコン膜503および保護酸化膜502を除去する。

【0054】

以上説明したように、本実施形態によれば、研磨工程残存膜厚の判定結果が小さい領域に窒化シリコン膜パターン508を形成した後でCVD酸化膜507を研磨することとしたので、窒化シリコン膜503の残存膜厚のばらつきを抑制することができる。

【0055】

特に、研磨工程残存膜厚の判定方法として本発明の判定方法を使用する場合には、ばらつき抑制の信頼性を非常に高くすることができる。

【0056】

なお、本実施形態では、研磨抑制膜として窒化シリコン膜パターン508を使用した。他の材料膜を使用できることはもちろんである。すなわち、研磨速度に応じて膜厚、寸法、間隔などを適当に設定することにより、どのような材料の膜でも研磨抑制膜として使用することができる。

【0057】

第3実施形態

次に、第2の発明に係る半導体装置の製造方法の他の実施形態について、図7を用いて説明する。

【0058】

本実施形態に係る製造方法は、研磨抑制膜を形成する工程（第2実施形態の工程（3）参照）を除いて、第2実施形態と同様である。本実施形態は、研磨抑制膜を形成する際に、研磨工程残存膜厚の判定結果に応じて研磨抑制膜の面積占有率を変化させる点で、上述の第2実施形態と異なる。

【0059】

なお、本実施形態では、研磨工程残存膜厚の判定方法として第1実施形態の方法を使用した場合を例に採って説明する。

【0060】

図7は、本実施形態に係る研磨抑制膜（窒化シリコン膜パターン701）を概念的に示す平面図である。

【0061】

図7の例では、窒化シリコン膜パターン701の寸法を、ローカル・アクティブパターン密度が5%未満の領域では $2.5\mu\text{m} \times 2.5\mu\text{m}$ とし、ローカル・アクティブパターン密度が5%以上10%以下の領域では $1\mu\text{m} \times 1\mu\text{m}$ とした。また、窒化シリコン膜パターン701の配置間隔は、ローカル・アクティブパターン密度に拘わらず、 $0.5\mu\text{m}$ とした。これにより、窒化シリコン膜パターン701の面積占有率は、ローカル・アクティブパターン密度が5%未満の領域では69.4%となり、ローカル・アクティブパターン密度が5%以上10%以下の領域では44.4%になった。ローカル・アクティブパターン密度が10%より高い領域に窒化シリコン膜パターン701を設けない点は、上述の第2実施形態と同じである。

【0062】

以上説明したように、本実施形態によれば、研磨工程残存膜厚の判定結果に応じて研磨抑制膜の面積占有率を変化させるので、第2実施形態よりもさらに、窒化シリコン膜503の残存膜厚のばらつきを抑制することができる。

【0063】

第2実施形態と同様、研磨工程残存膜厚の判定方法として本発明の判定方法を使用する場合には、ばらつき抑制の信頼性を非常に高くすることができる。研磨抑制膜として他の材料膜を使用できる点も、第2実施形態と同様である。

【0064】

本実施形態では、研磨抑制膜の面積占有率を2段階に分けたが、3段階以上に分けてもよいことはもちろんである。

【産業上の利用可能性】

【0065】

本発明は、CMPのみならず、他の研磨技術を用いた半導体製造工程にも適用することができる。

【図面の簡単な説明】

【0066】

【図1】第1実施形態に係るTEGパターンの構造を概念的に示す平面図である。

【図 2】 第 1 実施形態に係る測定プロセスを示す工程断面図である。

【図 3】 第 1 実施形態に係る演算プロセスを説明する平面図である。

【図 4】 第 1 実施形態における、測定プロセスの測定結果と演算プロセスの演算結果との関係を示すグラフである。

【図 5】 第 2 実施形態に係る半導体装置の製造方法を示す断面工程図である。

【図 6】 第 2 実施形態に係る研磨抑制膜の構成を概念的に示す平面図である。

【図 7】 第 3 実施形態に係る研磨抑制膜の構成を概念的に示す平面図である。

【図 8】 従来の半導体装置の製造方法例を示す断面工程図である。

【図 9】 従来の半導体装置の製造方法例を示す断面工程図である。

【符号の説明】

【 0 0 6 7 】

1 0 0 T E G パターン・ブロック

1 0 1 測定点パターン

2 0 1 シリコン基板

2 0 2 保護酸化膜

2 0 3 窒化シリコン膜

2 0 4 レジストパターン

2 0 5 トレンチ

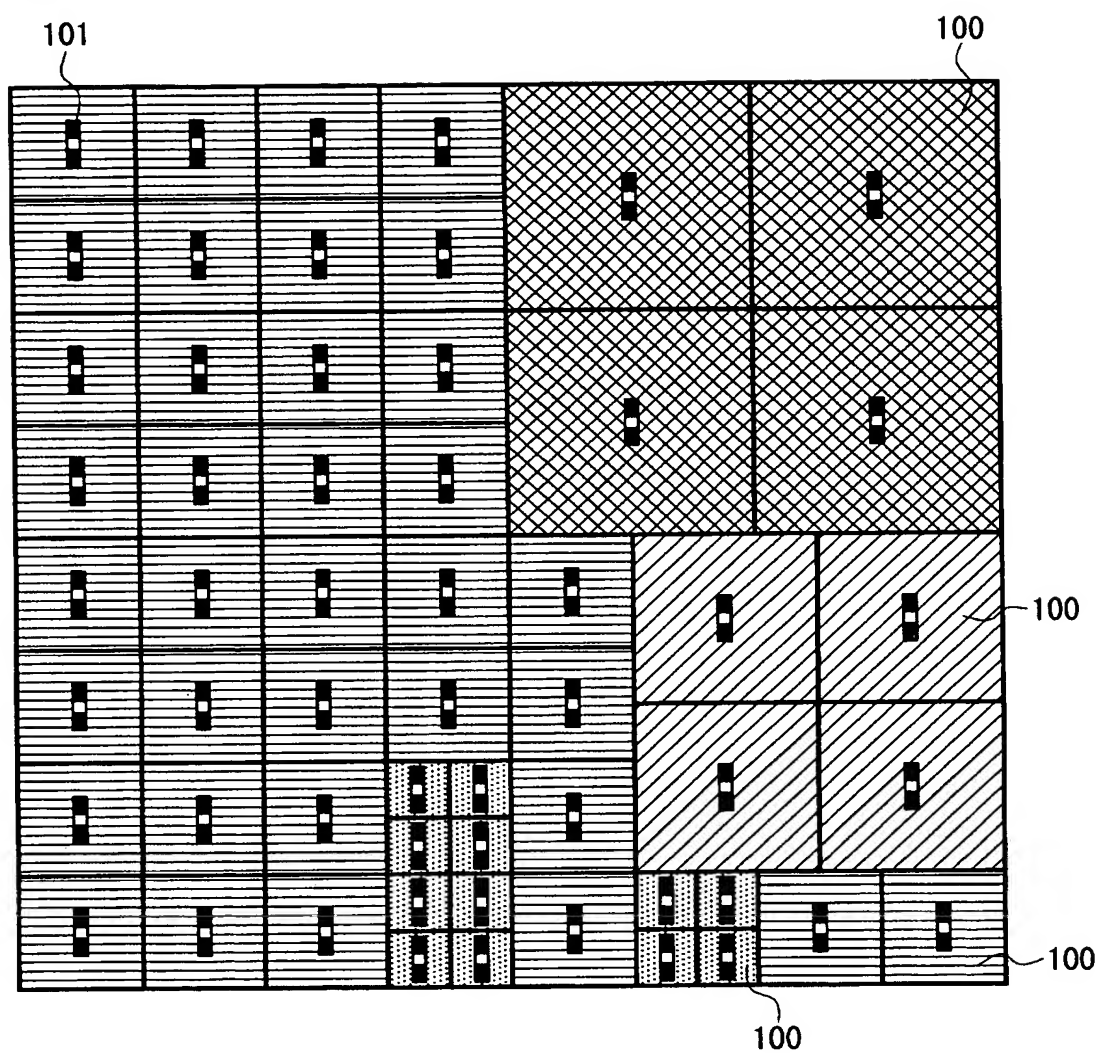
2 0 6 丸め酸化処理による酸化膜

2 0 7 C V D 酸化膜

3 0 0 参照領域

【書類名】 図面

【圖 1】



TEGパターン・ブロック(小)

TEGパターン・ブロック(やや小)

TEGパターン・ブロック(やや大)

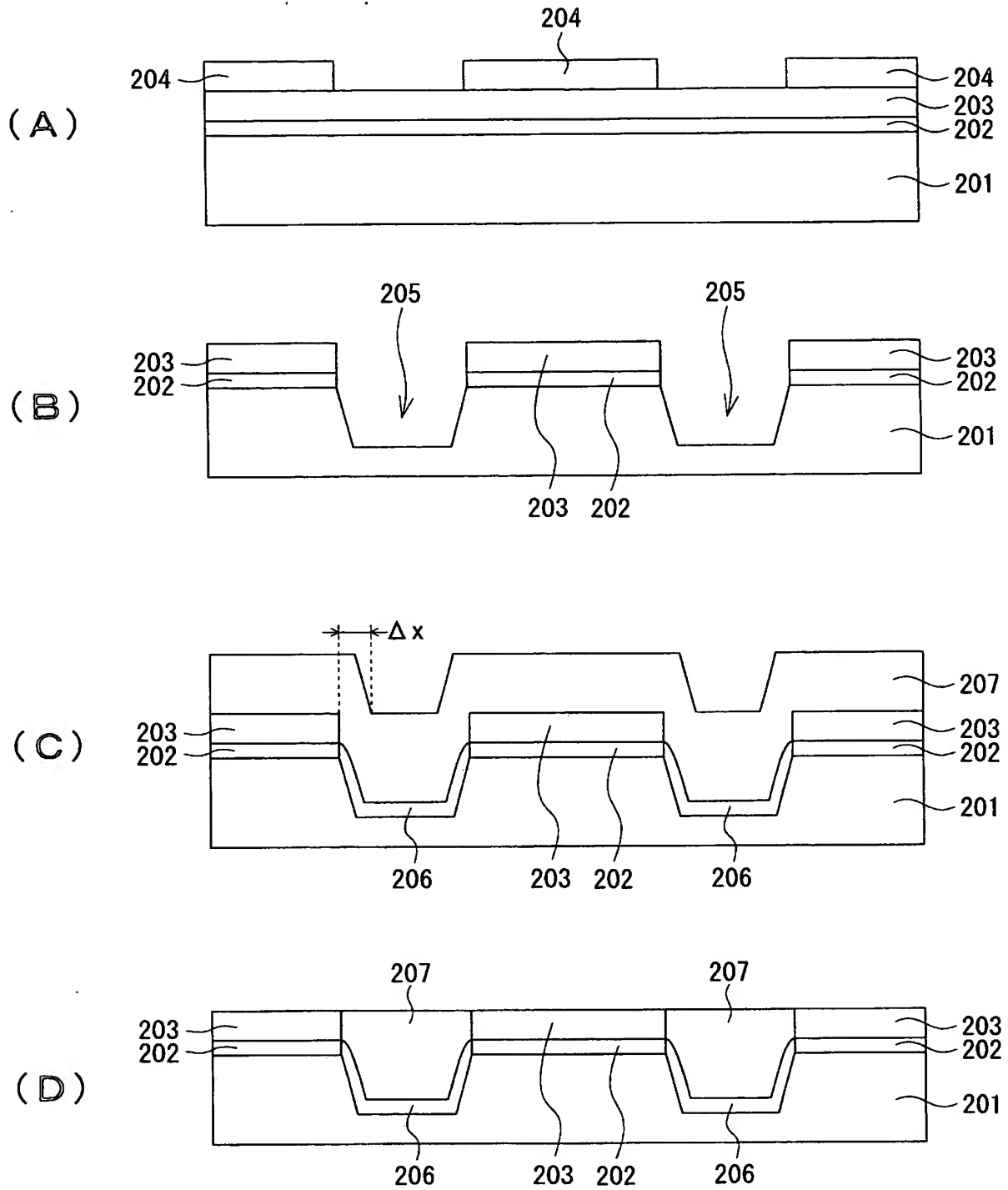


TEGパターン・ブロック(大)

測定点パターン

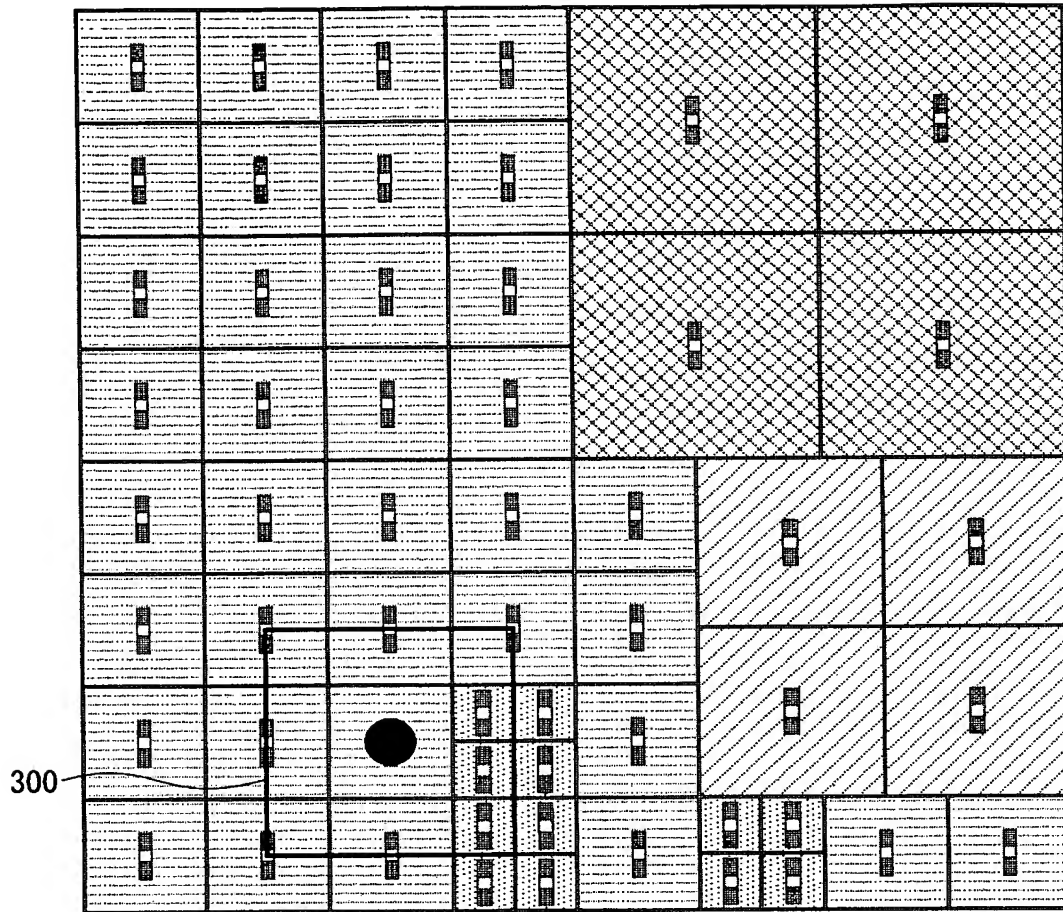
第 1 の実施形態(その 1)

【図 2】

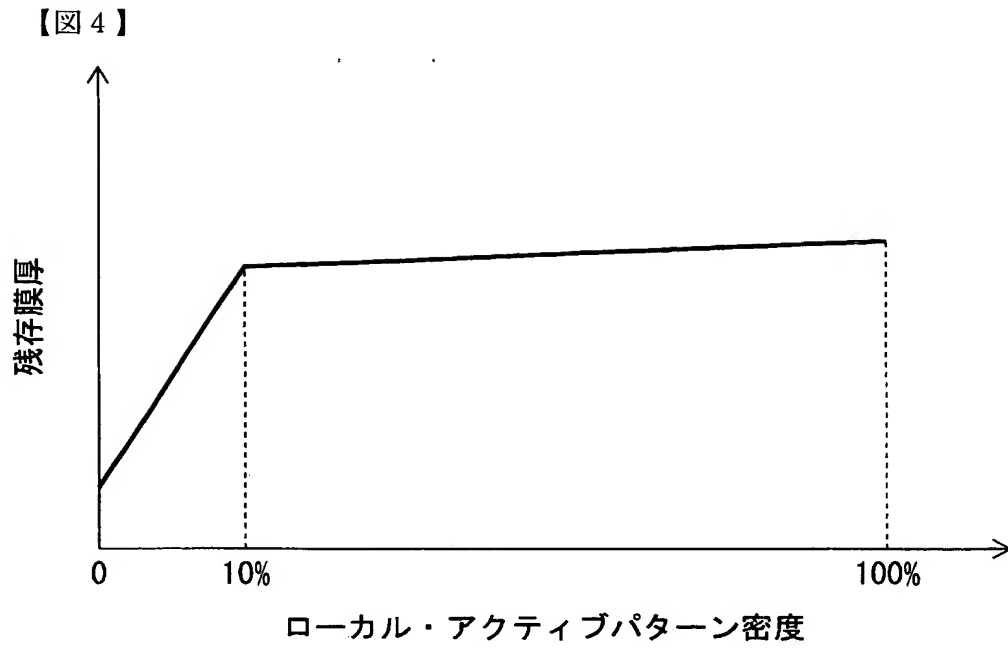


第 1 の実施形態 (その 2)

【図 3】

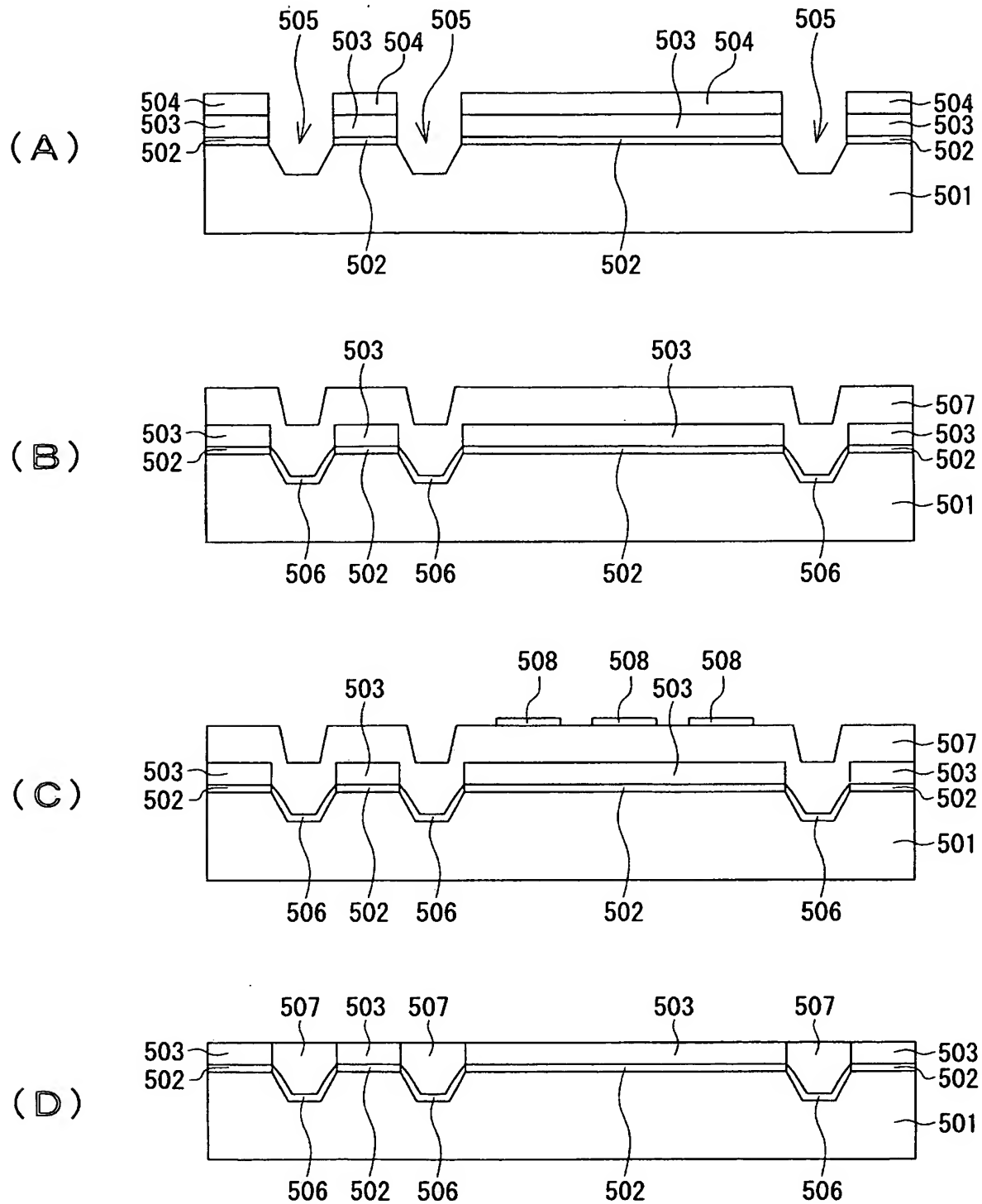


第 1 の実施形態 (その 3)



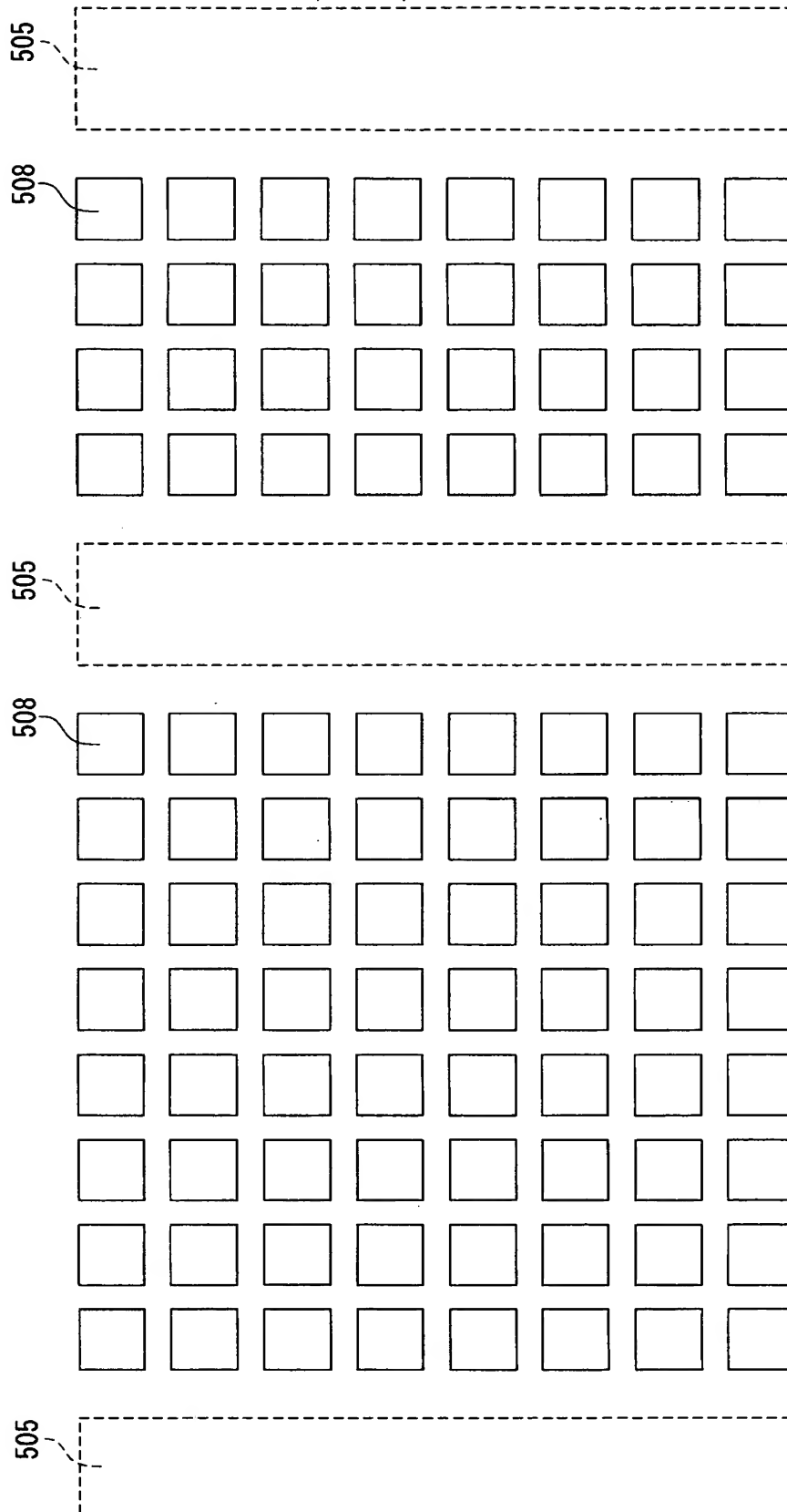
第 1 の実施形態 (その 4)

【図 5】



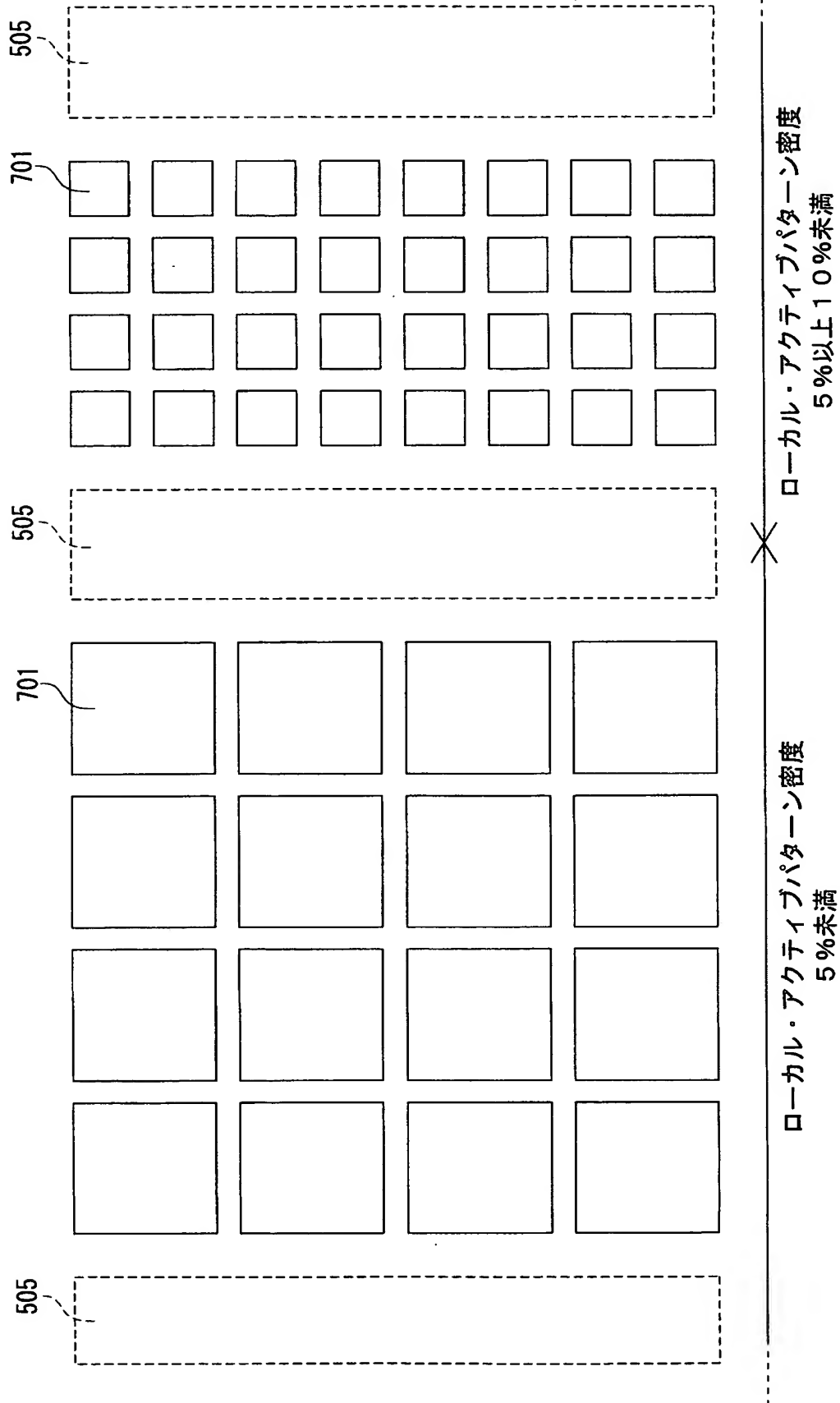
第 2 の実施形態 (その 1)

【図 6】



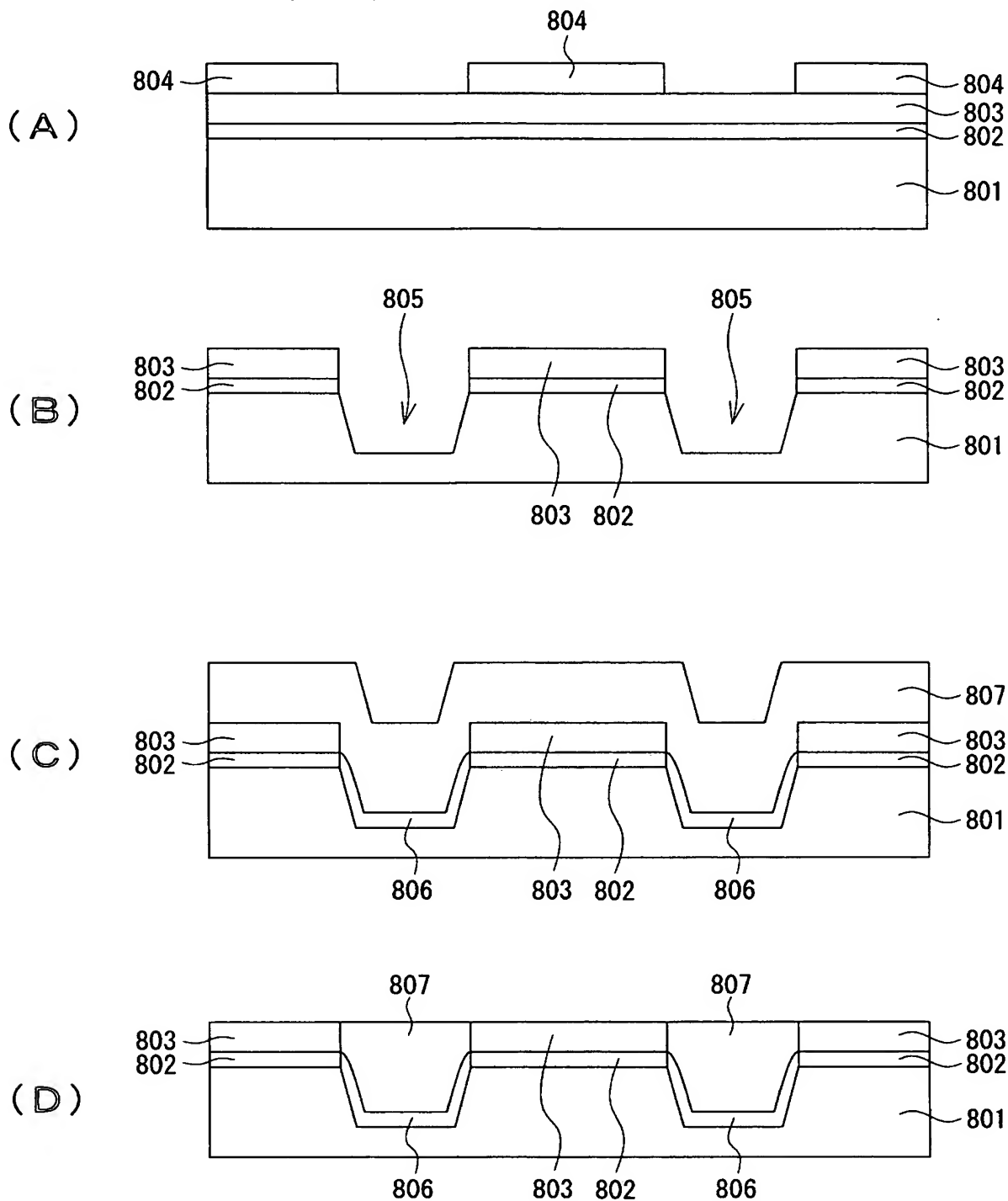
第2の実施形態(その2)

【図 7】



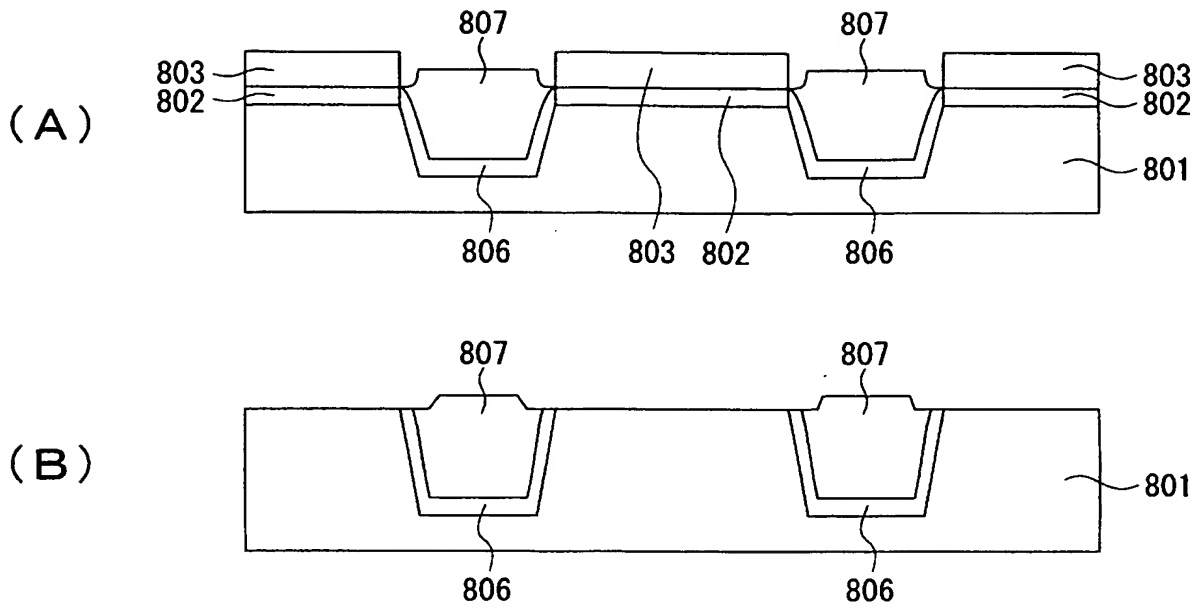
第3実施形態

【図 8】



従来技術(その1)

【図 9】



従来技術(その2)

【書類名】 要約書**【要約】**

【課題】 素子分離工程における CMP 研磨量むらを抑制する。

【解決手段】 測定プロセスでは、シリコン基板上に被覆膜を形成した後、素子形成領域およびトレンチによって TEG パターン・ブロック 100 を形成し、トレンチ内を充填するとともに被覆膜の表面を覆う埋込絶縁膜を形成し、さらに、被覆膜の表面が露出するまで埋込絶縁膜の表面を研磨する。そして、所定の測定点における被覆膜の残存膜厚を測定する。一方、演算プロセスでは、前記測定点が中心となるように参照領域 300 を規定し、各参照領域 300 における素子形成領域の面積占有率を演算する。そして、測定プロセスで得られた測定結果と演算プロセスで得られた演算結果との関係グラフを作成する。実際に製品として半導体装置を作製する際は、この関係グラフを用いて、任意点における被覆膜の残存膜厚を判定する。そして、残存膜厚が小さいと判定された領域に研磨抑制膜を設けた後で、研磨を行う。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 5 2 4 7 4
受付番号	5 0 3 0 1 6 9 5 2 3 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 0 月 1 4 日

< 認定情報・付加情報 >

【提出日】	平成15年10月10日
-------	-------------

特願 2 0 0 3 - 3 5 2 4 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 5 2 4 7 4

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 8 1 6 2]

1. 変更年月日

1 9 9 1 年 3 月 1 1 日

[変更理由]

新規登録

住 所

宮城県黒川郡大衡村沖の平 1 番地

氏 名

宮城沖電気株式会社

2. 変更年月日

2 0 0 2 年 7 月 4 日

[変更理由]

住所変更

住 所

宮城県黒川郡大衡村沖の平 1 番

氏 名

宮城沖電気株式会社